

IL 92000-0078USJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-105031

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G06F 9/46
G06F 13/24
G06F 15/163

(21)Application number : 06-187212

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 09.08.1994

(72)Inventor : ARROYO RONAD XAVIER
CHANDLER WILLIAM BRENT
DALY GEORGE WILLIAM JR

(30)Priority

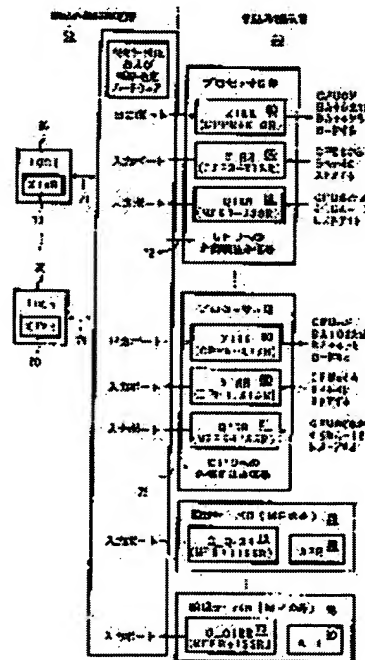
Priority number : 93 124513 Priority date : 20.09.1993 Priority country : US

(54) METHOD AND DEVICE FOR TRANSMITTING INTERRUPTION INFORMATION IN MULTIPROCESSOR COMPUTER SYSTEM

(57)Abstract:

PURPOSE: To provide a packet protocol for both an interruption request and an interruption reset.

CONSTITUTION: An address bus packet is used for reporting interruption and transferring information. When the interruption request is provided, an interruption source requests the use of an address bus. When the use of that bus is permitted, the interruption source sends out an interruption request packet. An interruption controller processes that information and reports the interruption to a processor. At a multiprocessing system, the interruption controller can designate any suitable processor as the route of interruption information. When that interruption is completely processed, the processor issues an alarm to the interruption controller so as to send a reset packet to the interruption source.



LEGAL STATUS

[Date of request for examination] 09.08.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal
the examiner's decision of rejection or
application converted registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-105031

(43) 公開日 平成7年(1995)4月21日

| | | | | |
|---------------------------|---------|---------|----------------|---------|
| (51) Int.Cl. ⁸ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
| G 0 6 F 9/46 | 3 6 0 A | 8120-5B | | |
| 13/24 | 3 1 0 E | 8944-5B | | |
| 15/163 | | | | |
| | | 7429-5L | G 0 6 F 15/ 16 | 3 1 0 Q |

審査請求 有 請求項の数28 O L (全 22 頁)

(21) 出願番号 特願平6-187212

(22) 出願日 平成6年(1994)8月9日

(31) 優先権主張番号 1 2 4 5 1 3

(32) 優先日 1993年9月20日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ロナルド・サヴィエル・アロヨ

アメリカ合衆国78758 テキサス州オースチン モバック ナンバー100-234 12407

(74) 代理人 弁理士 合田 潔 (外2名)

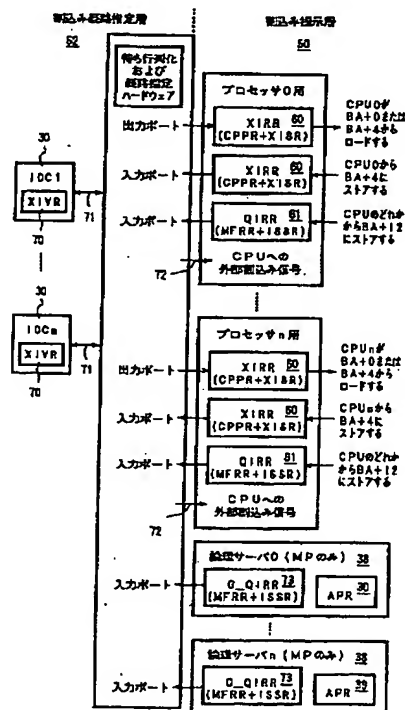
最終頁に続く

(54) 【発明の名称】 多重プロセッサ・コンピュータ・システム内で割込み情報を伝えるための方法および装置

(57) 【要約】

【目的】 割込み要求と割込みリセットの両方のための割込みパケット・プロトコルを提供すること。

【構成】 割込みを伝え、情報を転送するのにアドレス・バス・パケットを使用する。割込みソースは、割込み要求を有する時に、アドレス・バスの使用を要求する。バスを認可された時、割込みソースは、割込み要求パケットを送り出す。割込みコントローラが、その情報を処理し、割込みをプロセッサに知らせる。多重処理システムでは、割込みコントローラが、適当なプロセッサに割込み情報を経路指定できる。プロセッサは、その割込みの処理を終えた時に、割込みソースにリセット・パケットを送るよう割込みコントローラに警告する。



【 特許請求の範囲】

【請求項1】アドレス部分とデータ部分とを有するバスを含むデータ処理システムにおいて、前記アドレス部分を使用して、装置と割込みサービス機構との間で割込み情報を転送するステップを含む、割込み情報を転送するための方法。

【請求項2】前記装置が、割込みの生成を引き起こすことを特徴とする、請求項1の方法。

【請求項3】前記装置が、前記割込み情報の前記割込みサービス機構への転送を引き起こすことを特徴とする、請求項1の方法。

【請求項4】前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、請求項3の方法。

【請求項5】前記割込みサービス機構が、前記割込み情報の前記装置への転送を引き起こすことを特徴とする、請求項1の方法。

【請求項6】前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、請求項5の方法。

【請求項7】装置からサービス機構へ、割込み情報を含む第1割込みパケットを転送するステップと、前記サービス機構から前記装置へ、割込み情報を含む第2割込みパケットを転送するステップとを含む、データ処理システム内での割込み情報の双方向転送の方法。

【請求項8】前記装置が、割込みの生成を引き起こすことを特徴とする、請求項7の方法。

【請求項9】前記装置が、前記第1割込みパケットの前記割込みサービス機構への転送を引き起こすことを特徴とする、請求項7の方法。

【請求項10】前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、請求項9の方法。

【請求項11】前記割込みサービス機構が、前記第2割込みパケットの前記装置への転送を引き起こすことを特徴とする、請求項7の方法。

【請求項12】前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、請求項11の方法。

【請求項13】装置によって割込み要求を開始するステップと、前記装置に関する割込み情報を含む割込みパケットを生成するステップと、データ処理システムのアドレス・バスを介して割込みコントローラに前記割込みパケットを送るステップとを含む、データ処理システム内で割込みを処理するための方法。

【請求項14】装置と、機能的に前記装置に結合された割込みサービス機構と、前記装置と前記割込みサービス機構との間で割込み情報

を転送するためバスのアドレス部分を使用するための手段とを含む、前記アドレス部分とデータ部分とを含む前記バスを有するデータ処理システム内で割込み情報を転送するためのシステム。

【請求項15】前記装置が、割込みの生成を引き起こすことを特徴とする、請求項14のシステム。

【請求項16】前記装置が、前記割込み情報の前記割込みサービス機構への転送を引き起こすことを特徴とする、請求項14のシステム。

【請求項17】前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、請求項16のシステム。

【請求項18】前記割込みサービス機構が、前記割込み情報の前記装置への転送を引き起こすことを特徴とする、請求項14のシステム。

【請求項19】前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、請求項18のシステム。

【請求項20】装置からサービス機構へ、割込み情報を含む第1割込みパケットを転送する手段と、前記サービス機構から前記装置へ、割込み情報を含む第2割込みパケットを転送する手段とを含む、データ処理システム内での割込み情報の両方向転送のシステム。

【請求項21】前記装置が、前記第1割込みパケットの前記割込みサービス機構への転送を引き起こすことを特徴とする、請求項20のシステム。

【請求項22】前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、請求項21のシステム。

【請求項23】前記割込みサービス機構が、前記第2割込みパケットの前記装置への転送を引き起こすことを特徴とする、請求項20のシステム。

【請求項24】前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、請求項23のシステム。

【請求項25】装置によって割込み要求を開始する手段と、前記装置に関する割込み情報を含む割込みパケットを生成する手段と、

データ処理システムのアドレス・バスを介して割込みコントローラに前記割込みパケットを送る手段とを含む、データ処理システム内で割込みを処理するためのシステム。

【請求項26】前記割込み情報が、割込み要求コマンドを含むことを特徴とする、請求項25のシステム。

【請求項27】前記アドレス・バスを介して前記装置に、第2割込みパケットを送るための手段をさらに含む、請求項25のシステム。

【請求項28】前記第2割込みパケットが、割込みリセット・コマンドを含むことを特徴とする、請求項27の

システム。

【 発明の詳細な説明】

【 0 0 0 1 】

【 産業上の利用分野】 本発明は、データ処理システムに関し、具体的には、割込みソース（元）とデータ処理システム内の割込みプロセッサの間で割込み情報を伝える方法に関する。

【 0 0 0 2 】

【 従来の技術】 データ処理システムでは、割込みが、割込み条件が所与のソースに存在することをプロセッサに知らせるのに使用される。この割込みソースは、たとえば、ある種のサービスを必要とするシステム・バス上のアダプタ・カードである。必要なサービスとは、データ転送の開始や、最近変化した状況レジスタの読取りである可能性がある。

【 0 0 0 3 】 プロセッサが、割込みを受け付けるように条件付けられている（割込み可能と称する）時には、そのプロセッサは、割込みを受け取った時に割込み処理を開始する。この割込み処理では、通常、プロセッサによる割込みソースの問い合わせ、割込みのタイプに基づく機能の実行、および割込みのリセット（割込みをオフにすること）が行われる。

【 0 0 0 4 】 割込み優先順位も、従来のシステムに適応されてきた。所与の時刻に複数の割込み信号が活動状態になる場合、割込み優先順位を使用して、どの割込みを最初に処理するかをプロセッサに指示する。

【 0 0 0 5 】 割込みコントローラは、割込み信号のリセットなど、必要な特定の割込みハンドシェイク機能を制御するように設計されてきた。そのような割込みコントローラの典型が、Intel社の8259コントローラであり、これは、Intel Component Data Catalog, 1981 (Intel Corp. Literature Department, 米国3065 カリフォルニア州サンタ・クララから入手可能) 等に記載されている。これらの割込みコントローラは、複数の割込みソースを監視でき、単一の割込み線だけを使用してプロセッサに割り込む。

【 0 0 0 6 】

【 発明が解決しようとする課題】 現在の割込み信号生成方法は、主に、少数の割込みソースまたは少数の割込み優先順位を有する単一プロセッサ・システム用に設計されている。ほとんどのシステムは、プレーナ上に配線された1つまたは複数の割込み線を介して割込みを送る。割込みをサービスできるプロセッサが複数存在する多重プロセッサ環境では、このタイプの割込み信号生成技法を用いると、バスの複雑さが増大する。各割込みソースからの割込み信号を、そのような割込みをサービスできるプロセッサまたは割込みコントローラのそれぞれに配線しなければならない。

【 0 0 0 7 】 多重処理データ処理システムの必要を満足

しようとする試みには、システム内のプロセッサごとに専用の割込みコントローラが必要であった。この手法は、費用がかさむだけではなく、複数のソースが生成する、処理のため複数のプロセッサに経路指定されなければならない割込みの首尾一貫した管理を行えない。

【 0 0 0 8 】 拡張可能であり、多数の割込みソースと優先レベルを許容する方法が求められている。さらに、複数のプロセッサと複数の割込みコントローラを扱う多重処理システムと共に使用するための、割込み情報を伝える方法が必要である。

【 0 0 0 9 】 現在の割込みシステムは、ハードウェア固有であり、ソフトウェア依存度がさまざまである。割込みの数またはタイプを変更するには、特定のオペレーティング・システム・ソフトウェアに変更を加える必要がある。基礎となるハードウェア割込み構造からのソフトウェア独立性を提供する割込みサブシステムが必要である。

【 0 0 1 0 】

【 課題を解決するための手段】 本発明は、データ処理システム内の割込みサブシステムである。この割込みサブシステムは、ローエンド単一プロセッサ・システムからハイエンド多重プロセッサ・（MP）システムまでスケラブル（拡張可能）である。この割込みサブシステムは、多数のソースからの割込みの待ち行列化と、MPシステム内の最適プロセッサへの割込みの待ち行列化を提供する。これは、外部割込み機構を2つの層すなわち、割込み経路指定層と割込み提示（プレゼンテーション）層に分離することによって達成される。割込み経路指定層は、割込み提示層内の割込み管理区域の適当な実体に割込み条件を経路指定する。割込み経路指定層はスケラブルであって、ローエンド・ローコスト・システムとハイエンド高性能システムの両方をサポートする。割込み提示層は、割込みソースを、その割込みをサービスまたは処理するシステム・ソフトウェアに通信する。このソフトウェアが、割込み条件を受け入れ、その割込み条件をリセットする責任を負う。また、このソフトウェアは、割込みの受け入れを示し、その割込みを処理し終えたことを割込み提示層に通知する。

【 0 0 1 1 】 割込みサブシステム内に2つの層を設けることによって、割込みのタイプまたは割込みのソースから独立であり、基礎となるシステム・ハードウェア構造から独立なアプリケーション・ソフトウェアまたはシステム・ソフトウェアを記述できる。割込み経路指定層は、特定のハードウェア実施態様の詳細をソフトウェアから隠蔽する。割込み提示層は、システム・ソフトウェアまたはアプリケーション・ソフトウェアにインターフェースし、ハードウェア独立の機能を提供する。

【 0 0 1 2 】 本発明では、さらに、割込み要求と割込みリセットの両方のための割込みパケット・プロトコルを定義する。アドレス・バス・パケットを使用するが、こ

10

20

30

40

50

れには、配線方法に比べて多数の利点がある。割込みソース（以下、入出力コントローラまたはI OCと称する）が割込み要求を有する時、そのI OCは、アドレス・バスを要求する。バスを使用許可された時、I OCは、アドレス・バスを介して割込み要求パケットを送る。割込みコントローラが、その情報を処理し、割込みをプロセッサに知らせる。多重処理システムでは、割込みコントローラが、適当なプロセッサに割込み情報を経路指定できる。プロセッサは、その割込みの処理を終えた時に、I OCにリセット・パケットを送るよう割込みコントローラに警告する。その後、割込みコントローラが、アドレス・バスを要求する。アドレス・バスを使用許可された時、割込みコントローラは、アドレス・バスを介して割込みリセット・パケットを送る。

【0013】通常はアドレスのそれぞれに関して複数サイクルのデータ転送があるので、データ・バスは、アドレス・バスより頻繁に使用される。アドレス・バスを介して割込み情報を送ることによって、使用頻度の高いデータ・バスではなく、利用度の低い資源であるアドレス・バスを使用することが可能になる。アドレス・バスを使用することのもう1つの長所は、好ましい実施例では、システム・バス上のすべてのI Cチップが、アドレス・バス全体を使用することである。しかし、これらのI Cチップは、すべてがデータ・バス全体を使用するわけではない。したがって、アドレス・バス上の割込みパケットは、システム内に既に存在するアドレス線を、ピンやワイヤのコストなしで使用する。これは、複数の別個の割込み線を使用する従来の方法と大きく異なる。

【0014】メモリ・マップ式入出力は、入出力動作の実行に最も広く使用されている方法なので、割込みパケットを送るための方法としてこれを使用する。これは入出力を実行するための最も一般的な方法であるので、システム・バス上のすべてのチップが、既にメモリ・マップ式入出力を行うための論理機構を有する。

【0015】好ましい実施例では、割込みパケット定義によって、512個のI OCのそれぞれから16個の割込みソースが許容される。割込み優先レベルは、256ある。各システムが、256個の割込みサーバを有することができる。このため、広範囲の計算機でこのパケット定義が使用できる。割込み要求パケットと割込みリセット・パケットの両方に、割込みパケット内の情報以上の情報を送る必要のあるシステムが使用することのできる予約ビットがある。したがって、このパケット定義によって、将来のシステムに対する拡張性がもたらされる。

【0016】以前のハードウェア配線式割込みシステムは、割込みに関する直接情報をほとんど提供しなかった。このバス・パケット方法では、割込みソース、I O I D、優先順位およびサーバ情報を、すべて同時に同一の場所で提供する。これによって、システムの柔軟性に

加えて、システム割込みのデバッグがはるかに簡単になる。割込みリセット・パケットの予約済みアドレス・ビット0ないし2に情報を入れて、どの種類の割込みリセットが送られているのかをI OCに伝えることができる。

【0017】割込みは、アドレス・バスを介して転送されるので、他の割込みや他のシステム動作と共に順序付けされる。これによって、システム・レベルで割込みを観察しやすくなり、割込みがシステムに対してより非同期でなくなるので、デバッグの間に有用である。

【0018】割込み情報は、プレーナ上の配線ではなく割込みパケット内のさまざまなフィールドで定義されるので、この割込みシステムは、プログラム可能性が非常に高い。割込み優先順位、サーバ番号、割込みソースおよび入出力コントローラI Dは、このパケット構造を使用することによってすべてプログラム可能である。したがって、この割込み構造は、ハードウェア配線式システムの割込み構造より柔軟である。

【0019】したがって、本発明の目的は、改良されたデータ処理システムを提供することである。

【0020】本発明のもう1つの目的は、データ処理システム内の改良された割込みサブシステムを提供することである。

【0021】本発明のもう1つの目的は、多重プロセッサ・データ処理システム内の改良された割込みシステムを提供することである。

【0022】本発明のもう1つの目的は、改良された割込み信号生成方法を提供することである。

【0023】

【実施例】図1は、データ処理システム20の論理図である。システム相互接続22によって、システムのさまざまな構成要素、すなわちプロセッサ24、メモリ26、および、システム相互接続22に直接接続される入出力コントローラ（I OC）30を介して接続される入出力28の間でのデータ転送が可能になる。また、追加の入出力やI OCが接続される、プロセッサからの任意指定のシステム・バス29を設けることもできる。システム相互接続22は、複数の異なる構成（たとえば、システム・バス、スイッチなど）のうちのいずれかとすることができ、システム依存である。好ましい実施例では、システム相互接続が、システム・バスである。

【0024】現代のシステムの外部割込み構造は、広範囲のシステム要件、すなわち単純な単一ユーザ・パーソナル・コンピュータから多重プロセッサの階層からなるマルチユーザ・システムまでに及ぶ必要がある。以前の技法では、このような範囲に有効に対処できない。割込みシステムへのプログラミング・インターフェースと、割込みシステムの論理的な外観は、一貫している必要がある。典型的な割込み構造を、図2に示す。割込みを生成できる装置32（図1の入出力28とI OC30を含

む) を、割込みコントローラ 3 4 を介してサービスを行うプロセッサ 2 4 とインターフェースする。本発明は、広範囲のシステムにわたってスケラブルでありながら、なおかつ一貫したプログラミング・モデルを維持する、改良された割込み制御構造を識別する。

【 0 0 2 5 】図 3 を参照すると、システム・ソフトウェアから見たこのシステムの論理的な外観は、事象の n 個 (2 5 6 まで) の待ち行列 (キュー) である。ソフトウェア待ち行列である待ち行列 4 2 および 4 3 のそれぞれの中には、事象の優先順位付きリストが存在する。これらの事象には、ハードウェア生成の割込み (たとえば I O C からの外部割込み) とソフトウェア生成の割込み (たとえばプロセッサ間割込み) が含まれる。待ち行列 4 2 および 4 3 のそれぞれに、論理サーバが関連する。待ち行列 0 ないし m は、論理サーバ # 0 に関連し、待ち行列 $m + 1$ ないし n は、論理サーバ # 1 に関連する。追加プロセッサを有する追加の論理サーバも、同様に構成できる。単一プロセッサ・システムには、1 つのサーバがあり、したがって 1 つの待ち行列がある。多重プロセッサ・システムには、各プロセッサに関連する 1 つの待ち行列と、1 つの論理サーバとみなされるプロセッサの集まりに関連する少なくとも 1 つの大域 (グローバル) 待ち行列がある。たとえば、図 3 には、プロセッサ 4 0 に関連するそれぞれの待ち行列 4 2 と、プロセッサ 0 ないし m の集まりに関連する大域待ち行列 4 4 が示されている。プロセッサ 4 0 の集まりは、符号 3 8 の論理サーバ # 0 とみなされる。同様に、各待ち行列 4 3 は、プロセッサ 4 1 に関連し、大域待ち行列 4 5 は、プロセッサ $m + 1$ ないし n の集まりに関連する。プロセッサ 4 1 の集まりは、符号 3 9 の論理サーバ # 1 とみなされる。多重プロセッサ・システムの場合、各大域待ち行列による使用のためにどのプロセッサが使用可能であるかを決定するための機構が必要である。この機構は、使用可能プロセッサ・レジスタ (A P R) (後に図 4 を参照してさらに説明する) によって提供される。

【 0 0 2 6 】図 3 の説明を続けると、各待ち行列 4 2 および 4 3 には、 $0 \times 0 0$ ないし $0 \times f f$ の範囲内のサーバ番号が関連する。この複合体内の個々のプロセッサ 4 0 および 4 1 には、 $0 \times 0 0$ から昇順でサーバ番号が割り当てられ、複数のプロセッサにサービスする待ち行列 (すなわち大域待ち行列) には、 $0 \times f f$ から降順でサーバ番号が割り当てられる。待ち行列の長さ (すなわち、待ち行列内の優先順位付きリストの長さ) は、実施態様依存であるが、1 の最少深さを有する。

【 0 0 2 7 】外部割込みは、I O C、複合体内の他のプロセッサ、およびシステム内の他のソース (たとえば、緊急電源断警告割込み) から発する。異なるソースは、異なる物理信号生成機構を必要とするが、サーバ (大域待ち行列の場合は論理サーバ、他の待ち行列の場合はプロセッサ) にとつての論理的な外観は、下記でさらに説

明するように、最優先の事象を先頭とする 1 つの待ち行列である。優先順位の最も高い (すなわち最優先の) 割込みは、 $0 \times 0 0$ と定義され、優先順位の最も低い割込みは、 $0 \times f f$ と定義される。したがって、割込みレベル $0 \times 5 5$ は、割込みレベル $0 \times f f$ より優先され、割込みレベル $0 \times 0 0$ より優先されない。

【 0 0 2 8 】本発明では、外部割込み機構 (すなわち割込みコントローラ) を、(i) 割込み提示層と (i i) 割込み経路指定層の 2 層に分離する。これらの層を、図 4、図 6 および図 7 に示す。図 4 を参照すると、割込み提示層 5 0 には、プロセッサまたはサーバに関連するレジスタが含まれる。オペレーティング・システム・ソフトウェアは、これらのプロセッサまたはサーバとインターフェースして、個々の割込みを作成し、処理する。割込み提示層 5 0 は、システム内のプロセッサまたはサーバの数によってのみ変化する定義を有する。割込み経路指定層 5 2 は、ソースから宛先へ割込みを経路指定するが、その本質上はるかに実施態様固有である。システム・ソフトウェアは、電源投入時に割込み経路指定層 5 2 の構成をセットアップしなければならない可能性があるが、割込みごとにこの割込み経路指定層にインターフェースする必要はない。

【 0 0 2 9 】割込みの管理に使用されるレジスタを、ここで簡単に説明し、後で詳細に説明する。

【 0 0 3 0 】・使用可能プロセッサ・レジスタ (A P R) 割込みの経路指定先の特定のサーバとしてどのプロセッサを使用できるかを知るために割込み経路指定層ハードウェアが使用する、任意指定のレジスタ。A P R は、大域待ち行列と共に使用する目的のものであり、図 4 の符号 3 9 に示されている。

【 0 0 3 1 】・大域待機割込み要求レジスタ (G _ Q I R R)

このレジスタは、1 バイトまたは 4 バイト (3 2 ビット語) として書き込むことができ、図 4 の符号 7 3 に示されている。

・対称 M P (S M P) システムで、非プロセッサ固有サーバ待ち行列として使用される。

・下記の 2 つのレジスタからなる

大域最優先要求レジスタ (G _ M F R R) 。これは 1 つの M F R R である。

割込みソース指定レジスタ (I S S R) 。

・S M P システムで、G _ M F R R 割込みのソース指定を構成するのに使用される (X I S R 参照) 。

【 0 0 3 2 】・待機割込み要求レジスタ (Q I R R)

このレジスタは、1 バイトまたは 4 バイト (3 2 ビット語) として書き込むことができ、図 4 の符号 6 1 に示されている。プロセッサごとに少なくとも 1 つと、非プロセッサ固有サーバ待ち行列ごとに 1 つある

下記の 2 つのレジスタからなる

・最優先要求レジスタ (M F R R)

待ち行列上の最優先要求の優先順位を保持する
このレジスタは、書込みが発生したことを検査するためにソフトウェアによって読み戻すことができる。

・ 割込みソース指定レジスタ (I S S R)

【 0 0 3 3 】・ 外部割込み要求レジスタ (X I R R)

図4 の符号6 0 に示されるように、プロセッサごとに1 つあり、割込みに関してシステム・ソフトウェアに単一のソース識別子を提供する。下記の2 つのレジスタからなる

・ 現プロセッサ優先順位レジスタ (C P P R)

このレジスタは、現プロセッサ優先順位を格納するようにシステム・ソフトウェアによって更新される

このレジスタは、特定のアドレスのX I R R へのロード命令をソフトウェアが発行する時に、実行されたロード命令によって配布されるX I S R データが表す割込みの優先順位に更新される。

・ 外部割込みソース・レジスタ (X I S R)

保留中の割込みのソースを識別する (保留中の割込みがない場合は0)

【 0 0 3 4 】・ 外部割込みベクトル・レジスタ (X I V R)

各I O C 内の割込みレベルごとに1 つあり、図4 の符号7 0 に示される。割込みレベルのそれぞれに優先順位を付けるのに使用する

特定の割込みを特定のサーバにベクトル指定するのに使用できる

【 0 0 3 5 】割込み経路指定層

割込み経路指定層の目標は、最優先の割込み要求を優先順位の最も低いプロセッサすなわち最適プロセッサに向けることである。可能なかぎり、割込み経路指定層は、入ってくる要求よりも高い優先順位で走行中のプロセッサに割込みを送らないようにする。本発明を用いると、割込み経路指定層を、システム要件に応じて異なる形で実施できる。したがって、異なる実施態様は、異なるレベルの精度で上記の目標に接近でき、これは、割込み要求の経路指定の際の遅延の変化として現れる。割込みに起因するシステム負荷の予期される値が大きければ大きいほど、割込み経路指定ハードウェアは、正しいシステム性能を達成するためにこの目標に近づかなければならない。この目標を完全に達成するためには、割込み経路指定ハードウェアが、システムの状態 (すなわち、サイクルごとの正確なプロセッサ優先順位と、論理割込み要求待ち行列のすべての内容) を完全に知っている必要が生じるはずである。実際には、次の理由からこれが可能にならない場合がある。すなわち (i) 潜在的に割込み経路指定層内のハードウェア待ち行列より多数の割込み要求が存在し得るか、 (ii) プロセッサから割込み経路指定ハードウェアまでプロセッサ優先順位が伝播するのに複数のサイクルを要し、サイクルごとの正確なプロセッサ優先順位に関して割込み経路指定層内にあるレベル

の不確実性があるからである。待ち行列の深さの問題は、割込み経路指定ハードウェアによって拒絶された割込み要求メッセージを要求しなおすようにI O C に要求することによって処理される。これによって、割込み経路指定ハードウェアが、オーバーフローの場合を処理するのに割込み拒絶機構を使用して、予期される場合のうちのある程度の割合を満足する待ち行列深さ (最小値は1) を実施できるようになる。システム・ソフトウェアは、影響を受ける割込み要求に対して可変の待ち時間を示すに過ぎない拒絶機構の存在を意識しない。割込み経路指定ハードウェアは、初めて要求をプロセッサに経路指定する時には真のプロセッサ優先順位を知らない可能性がある。経路指定ハードウェアは、割込み経路指定ハードウェアが最初に要求を特定のプロセッサに割り当てた後に、ソフトウェアがその動作優先順位を変更する場合に備えていなければならない。プロセッサ優先順位の変更を考慮にいれないと、優先順位の逆転と深刻なシステム性能低下がもたらされる (優先順位の逆転は、現プロセッサ優先順位より低い優先順位を有する割込みが待ち行列に入れられ、その待機割込みが、そのプロセッサより優先順位の高い割込みにそのプロセッサへ割り込ませない場合に発生し得る)。待機割込みは、その待機割込みの優先順位未満までプロセッサの優先順位が下がらない限り、処理されない。この場合も、割込み拒絶機構を使用して、待ち行列資源の問題から回復できる。割込みを拒絶してI O C に返すことによって、I O C が、割込み経路指定層の待ち行列化機構の拡張部分として働く。

【 0 0 3 6 】割込みソースは通常、下記のいずれかが発生しない限り、インターフェース7 1 (図4) を介して割込み経路指定層に特定の割込みを1 回だけ送る。例外は (i) 割込み経路指定層によって割込みが拒絶されたか、 (ii) X I S R 値が割込みソースに等しくなるX I R R へのソフトウェア書込みによって割込みがリセットされ、割込み中のソースの割込みがまだ保留中か (すなわち、まだサービスされていない) のいずれかである。これについては、下記で図6 および図7 を参照してさらに説明する。

【 0 0 3 7 】割込み経路指定層5 2 は、 (i) ローエンド計算機用の、外部割込みの優先順位とソースからなる、プロセッサごとの単一の要素待ち行列、または (i i) ハイエンド計算機用の、複数の外部割込みソース待ち行列レジスタを含めて、さまざまな実施態様が可能である。ハードウェアは、割込み経路指定層内の正確なハードウェア待ち行列化実施態様が、割込み提示層とインターフェースするシステム・ソフトウェアに対して不可視であることを保証する。当技術分野には、米国特許第4 8 0 7 1 1 1 号明細書に記載の、エンティティが優先順位の順に保たれるハードウェア・レジスタ・ファイルなど、多数のタイプの使用可能な待ち行列化技法があ

る。本発明の主要な特徴は、割込み提示層によるそのような待ち行列の使用である。この割込み提示層は、割込み経路指定層内の基礎となる待ち行列実施態様からのソフトウェアの不可視性を提供する。

【0038】システム・セットアップ時に、セットアップ・ソフトウェアは、サポートされる論理サーバの数、どのプロセッサが論理サーバをサポートするか、どの割込みがどのサーバに向けられるかを含めて、割込み経路指定層の構成を決定しなければならない。これは、いくつかの実施態様固有レジスタを読み取るか、構成情報をROMに格納させることによって行われる。APRを使用して、どのプロセッサがどの論理サーバ待ち行列に対して動作するかを指定する。具体的なセットアップの決定は、ハードウェア依存であり、ハードウェア実施態様によって異なる。唯一の要件は、どのように決定されたものであれ、上にリストしたセットアップ情報が、割込み経路指定層が後でアクセスできるようにAPRに置かれることである。

【0039】割込み提示層

プロセッサ間割込み機構は、図3の待ち行列42および43のそれぞれに関連する、システム内の要求ブロックの物理待ち行列(図5の57)を有する。これらのソフトウェア管理される待ち行列のそれぞれは、ソフトウェアによって優先順位の順に維持される。待ち行列の実施態様は、割込み機構内では定義されず、オペレーティング・システム・ソフトウェアにゆだねられる。さまざまな待ち行列の実施態様は、予想される使用頻度に応じて異なることがある。各待ち行列に、最優先要求レジスタ(MFRR)(システム・メモリ空間内)が関連付けられる。プログラムは、特定のプロセッサによって実行されるサービスを必要とする時に、そのプロセッサの待ち行列に要求ブロックを待機させ、この新要求の優先順位が最高であるかどうかを判定し、そうであるならば、この新要求の優先順位の値をMFRRに書き込む。プログラムがサービスに関する要求を待機解除する場合、待ち行列上の次の要求の優先順位値が、MRFFにロードされる。待機解除の後に待ち行列が空になる場合、最低の優先順位値(0x ff)がMFRRにロードされる。MFRR内の0x ff以外の値によって、その優先順位の割込みを、その待ち行列にサービスするプロセッサに伝える(符号72)必要があることが、割込み経路指定層内の割込みハードウェアに示される。

【0040】各プロセッサには、外部割込み要求レジスタ(XIRR)60を含むメモリ・マップ式の割込み管理区域が関連付けられている。XIRRは、4バイトの機構であり、2つのフィールド、すなわち現プロセッサ優先順位レジスタ(CPPR)と外部割込みソース・レ

ジスタ(XISR)から構成される。

【0041】CPPRには、そのプロセッサの動作優先順位が含まれる。CPPRは、優先順位の低い要求からの割込みを防ぐため、システム・ソフトウェアによって書き込むことができる。割込み経路指定層は、CPPRフィールドが割込み要求の優先順位より低い場合に限って、そのプロセッサに割込み要求を向ける。システム・ソフトウェアは、1バイト・レジスタとしてCPPRにストアして、割込み経路指定層内の割込みハードウェアに、プロセッサの現動作優先順位について知らせる。

【0042】割込みのソースを決定するため、システム・ソフトウェアは、XIRRに対するロード命令を発行することによって、XISRを読み取る。XISR内の値が、割込みのソース(IOCの場合にはIODとレベル、プロセッサの場合にはサーバ待ち行列)を示す。この情報に基づいて、ソフトウェアは、その割込みを処理するために呼び出すのに適切なプログラムまたはプロセスを決定できる。XISRは、割込み経路指定層からのロード命令に関しては読取り専用レジスタの外観を提示し、割込み経路指定層からのストア命令に関しては書き込み専用レジスタの外観を提示する。すなわち、書き込まれた内容が、自動的に読み取られる内容になるわけではない。というのは、XISRへの書き込みが、ハードウェアによって、割込みソースへの割込みリセット送出の信号(後に説明するように、XISRのビット自体への直接書き込みの信号ではない)と解釈されるからである。XISRは、4バイト・アクセスをXIRRに向ける時には、CPPRと共に原子的にアクセスしなければならない。IOCからの割込みの場合、XISRの上位ビットが、そのIOCのIODを示し、XISRの下位4ビットが、IOC内の16個までのソース(またはレベル)を示す。このレジスタのいくつかの値には、意味が定義されている。XISRについては、下記でさらに説明する。

【0043】この割込み機構の割込み提示層は、下記の表3に示されるように、システム内のプロセッサごとの割込み管理区域を介して実施される。割込み管理区域は、データ処理システムのメモリ空間内にある。以下では、プロセッサの割込み管理区域の開始アドレスを、そのベース・アドレス(BA)と称する。BAは、プロセッサごとに異なり(すなわち、プロセッサごとに別々の割込み管理区域がある)、これらの区域には、どのプロセッサからでもアクセスできる(保護は存在しない)。あるプロセッサ用のBAは、構成時にセットアップされる。割込み管理区域の配置は、次のとおりである。

【表1】

| アドレス | バイト0 | バイト1 | バイト2 | バイト3 | コメント |
|-------|-------|-------|------|------|---------------------|
| BA+0 | CPPR | XISR | | | 副作用なしのXIRR |
| BA+4 | CPPR | XISR | | | ロート/ストア副作用のあるXIRR |
| BA+8 | DSIER | DSIER | | | データ・ストア割込みエスケープレジスタ |
| BA+12 | MFRR | ISSR | | | 必要なQIRR |
| BA+16 | MFRR | ISSR | | | 任意指定の第2QIRR |
| BA+20 | MFRR | ISSR | | | 任意指定の第3QIRR |
| ... | MFRR | ISSR | | | 任意指定の第nQIRR |

割込み管理区域：割込み提示層レジスタ

【 0 0 4 4 】待ち行列化

図5 に、前に説明したさまざまな待ち行列の間の相互関係を示す。一貫性のあるハードウェア独立のインターフェースをシステム・ソフトウェアに提供する待ち行列4 2 および4 3 を、符号5 3 の特定のプロセッサXについて示す。待ち行列Xは、符号5 4 のX I R Rレジスタを介してプロセッサXとインターフェースする。このX I R Rレジスタは、符号5 5 の割込み経路指定層5 2 によって修正できる。符号5 5 の経路指定層によって最高の優先順位を選択するステップは、複数の割込みタイプを考慮に入れたものでなければならない。符号5 6 のハードウェア待ち行列で維持されるハードウェア割込みは、符号5 8 で割込み経路指定層5 2 に提示される。これらのハードウェア割込みは、符号5 1 の個々のI O Cハードウェア待ち行列から発する。さらに、ソフトウェア生成の割込みが、割込み経路指定層5 2 に提示される可能性がある。これらのソフトウェア割込み(たとえばプロセッサ間割込み)は、符号5 7 のソフトウェア管理待ち行列で維持され、MFRRレジスタを介して符号5 9 で

割込み経路指定層に提示される。

【 0 0 4 5 】まとめると、システム・ソフトウェアに提示される図4 の待ち行列4 2 および4 3 は、ソフトウェア管理待ち行列とハードウェア割込み待ち行列の組み合わせである。したがって、ハードウェア待ち行列を、経路指定層とI O Cの間で分散できる。さらに、ハードウェア生成の待ち行列とソフトウェア生成の待ち行列が、均一のインターフェース、すなわちX I R Rレジスタを使用してシステム・ソフトウェアに提示される。

【 0 0 4 6 】割込み処理

割込み処理全体の流れを、図6 および図7 に示す。I O Cは、ステップ7 4 で、サービスの必要な割込みを有する時に、まず、これが提示を必要とする最高の優先順位であるかどうかを判定する。まだ処理されていない、より高い優先順位の割込みが存在する場合、ステップ7 5 でまずその割込みを提示する。ステップ7 6 で、I O Cは、提示される特定の割込みに関連するX I V Rを選択し、そのX I V Rからのサーバ番号および優先順位と、割込み経路指定層にサービスを要求しているI O CのI O I Dと、そのI O C内のソースを示す番号とを送る。割込み経路指定層は、ステップ7 7 で、この割込み情報からのサーバ番号を使用して、その割込みを特定のプロセッサ(サーバ)に向ける(符号9 8)が、サーバ番号がそのシステム内の特定のプロセッサに対応しない場合には、ステップ7 8 でその割込みを経路指定するプロセッサを選択することができる。この後者の場合にハードウェアが割込みの経路指定先としてプロセッサを選択する方法は、実施態様に依存し、システム設計点(たとえば、ローエンドの場合にはコスト、ハイエンドの場合には性能)に基づいて最適化できる。この経路指定決定ブロック7 8 に入ってくる情報は、さまざまなプロセッサがどの優先順位で動作しているか(CPPR値)と、他のどの優先順位が待ち行列に待機してそのプロセッサを待っているか(たとえば、そのプロセッサのMFRRまたはG_MFRR)である。ステップ7 9 で、I O Cから受け取った割込みの優先順位が、待機中の既存の割込みの優先順位以下の場合、ブロック9 6 でその割込みを拒絶してI O Cに返し、I O Cは、後に(たとえばある一定時間が経過した後で)その割込みを再提示しなければ

ばならない。I OCからの割込みが、目標プロセッサのXI RR内に既に置かれている既存の待機割込みより優先順位が高い場合(ステップ80)、ステップ95で、前にXI RRに置かれた割込みを拒絶して、それが来た元のI OCに返し、ステップ81で新しい割込みをその割込みと入れ替える。割込み経路指定層機構の特定の実施態様では、後に提示するため経路指定層内で割込みを待ち行列化することを選択できるが、この好ましい実施例では、経路指定層が割込みを拒絶してソースに返し、ソースが後にその割込みを再提示する。XI SRのロードは原子的でなければならない。すなわち、システム・ソフトウェアと割込み経路指定層がXI SRに同時にアクセスしようとする(たとえば、プロセッサがXI RRを読み取ろうとするのと同時にハードウェアがXI RRをより高い優先順位の要求に更新しようとする場合)がないことを、ハードウェアが保証しなければならない。

【0047】ステップ83で、XI SRに非0値が格納されている場合、プロセッサ・ハードウェアへの割込み信号を介して、ハードウェアによってプロセッサに割込みが伝えられる。ステップ84で、割込みが伝えられ、割込みがイネーブルされている時、ソフトウェアは、割込み信号を受け取り、ステップ85で割込み処理が始まる。ソフトウェアは、割込み処理のはじめに、ステップ86でXI RRを読み取り、その割込み処理が終わるまでその値をセーブする。ソフトウェアがXI RRを読み取る時、ハードウェアは、ステップ86で、XI SR値によって表される割込みの優先順位をCPPRに入れ、XI SRを0にセットする。CPPRを割込みの優先順位の値にセットすることで、ソフトウェアがそれを行う必要がなくなる。その割込みのサービス開始時のプロセッサ優先順位は、割込みの優先順位と等しくなり、その結果、割込み経路指定層は、優先順位の低い割込みでそのサービスに割り込まなくなる。XI SRを0にセットすることによって、プロセッサに対する割込み信号が非活動化され、プロセッサが後にXI RRを読み取る場合には、XI SRの0の値によって、保留中の割込みがないことが伝えられる。プロセッサがBA+4のXI RRを読み取ることによってプロセッサに割込みが提示された後、これによって、ソフトウェアが割込み処理を開始することがハードウェアに伝えられ、したがって、割込み経路指定層は、要求の優先使用も取消しも行わなくてよい。XI RRを読み取った後、ソフトウェアは、XI RRのXI SRフィールドの値を使用して、どの割込みサービス・ルーチン呼び出すかを決定する。ステップ87で、XI SRがQI RRを指している場合、ソフトウェアは、ステップ88で、最優先の待ち行列項目をその待ち行列から除去し、QI RR内のMF RRを、その待ち行列の新しい最優先項目の優先順位の値か、その待ち行列が空の場合には0 x f fの値にセットする。ステ

ップ89で、XI SRがG_QI RRを指している場合、ソフトウェアは、ステップ90で、大域待ち行列から最優先待ち行列項目を削除し、G_QI RR内のG_MF RRを、その待ち行列の新しい最優先項目の優先順位の値に、またその待ち行列が空の場合には0 x f fの値にセットする。XI SRがソフトウェア待ち行列を指していない場合、XI SRは外部割込みサービス・ルーチンを指しており、ステップ91で、ソフトウェアが、適当な装置駆動プログラムを呼び出してその割込みを処理する。外部割込みの場合、装置駆動プログラムは、割込みを処理した後に、サービス・ルーチンの過程の間にI OC内の割込みをリセットする(たとえば、ほとんどのハードウェアは、I OCのアドレス空間内の特定のアドレスへのストア命令を発行することによって、I OC内の割込みをリセットする)。割込みのソースが何であれ、そのサービスの終りに、ソフトウェアは、割込みサービスの開始時にXI SRから読み取り、セーブした値を、ステップ92でBA+4のXI RRに書き込む。BA+4のXI RRが書き込まれる時、CPPRは、ストア・データの値(この場合、割込みサービス開始時のCPPRの値)にセットされ、ステップ93で割込み経路指定層に、ステップ94でI OCに、書き込まれたXI SRデータ(この場合、割込みの開始時のXI SRの値)で指定されたI OIDとI OC内のソースを用いて割込みリセットを発行する(したがって、処理されたばかりの割込みがリセットされる)。I OCがリセットを受け取る時、ステップ97でまだ割込みが保留中であるとハードウェアが判断する場合(たとえば、ソフトウェアのサービスとXI RRへの書き込みの後に割込みがもう一度発生した場合)、ステップ74からの割込み提示処理をもう一度開始する。

【0048】XI RR機能は、外部割込み管理区域に2回登場する。アドレスBA+0は、割込みポーリングと共に使用するように設計されている。アドレスBA+4には、読み書きの際に副作用があり、割込み待ち行列化処理の際にハードウェアにソフトウェアを援助させることによって、効率的な割込みハンドラ・ソフトウェアを可能にするように設計されている。これらのレジスタとその使用法は、下記でさらに説明する。

【0049】プロセッサ間割込み

最優先要求レジスタ(MF RR)は、このプロセッサのソフトウェア管理待ち行列に待ち行列化された最優先要求の優先順位を保持する。0 x f f以外の値を書き込まれた時、MF RRは、プロセッサに割り込む権利を求めて他の外部割込みと競争する。MF RRの優先順位が、そのプロセッサに向けられたすべての割込み要求のうちで最優先である時には、XI SRに適当な値がロードされ(XI SRレジスタの説明を参照)、プロセッサに割込みが伝えられる。プロセッサがBA+4のXI RRを読み取る時、ハードウェアによって、MF RR内の値が

CPPRにロードされる。MFR Rをソフトウェアによって読み戻して、MFR R 書込みが行われたことを確認できる。

【 0 0 5 0 】プロセッサ間割込みの処理の間、最も優先順位の高い要求が、MFR Rに関連するソフトウェア待ち行列からソフトウェアによって待機解除され、次の優先順位の要求の優先順位が、当技術分野で既知の従来の待ち行列管理技法を使用して、ソフトウェアによってMFR Rにロードされる。

【 0 0 5 1 】大域待ち行列

MPシステムでは、システム・メモリ空間に1つまたは複数の大域待ち行列MFR Rが含まれ、これをシステム・ソフトウェアが使用して、あるサーバ・グループ内のプロセッサのどれかにプロセッサ間割込みを送る。大域待ち行列のMFR Rは、割込み経路指定層がそれ自体のアルゴリズムに基づいて要求を受け取るプロセッサを決定すること、およびXISRにロードされた値が大域待 *

*ち行列を示すI O I Dであることを除いて、上記で説明したプロセッサごとのMFR Rと同様に動作する。この経路指定アルゴリズムも、システム設計点に基づいて同様に最適化できる。たとえば、コストに基づいて最適化されるシステムでは、優先順位比較論理機構を実装する必要をなくするために、ランダムなプロセッサに経路指定することができ、その一方で、高性能を求めて実装されるシステムでは、必ず最低の優先順位で走行しているプロセッサに経路指定するように試みることになる。

10 【 0 0 5 2 】外部割込みベクトル・レジスタ (X I V R)

各I O C 3 0には、それがサポートする外部割込みごとに1つの外部割込みベクトル・レジスタ70が含まれる。このレジスタのそれぞれのビットは、次のように定義されている。

【 表2 】

| ビット | 説 明 |
|-------|--|
| 0-15 | 予約済み：これらのビットは、予約済みであり、ソフトウェアによってストア命令で0の値にセットされなければならない。これらのビットは、ロード命令の際にハードウェアによって0の値として返される（ソフトウェアの注意：これらのビットは、このフィールドが「予約済み」である場合に限って0になることが保証される。将来にこれらのビットが再定義された場合、ソフトウェアが0以外の値を受け取る可能性がある）。 |
| 16-23 | 割込みサービス番号：これによって、割込み経路指定ハードウェアによって割込みが向けられる先が決定される。この値がシステム内のプロセッサを表す場合、割込みはそのプロセッサに向けられる。これが特定のプロセッサに対応しない場合、割込み経路指定層が、その提示アルゴリズムに基づいて経路を指定できる。 |
| 24-31 | 割込み優先順位：このフィールドは、入ってくる割込みにどの優先順位を割り当てなければならないかを指定する。 |

X I V Rレジスタの説明

【 0 0 5 3 】これらのレジスタは、I O Cアドレス空間内に存在し、これらのレジスタのアドレスは、I O Cの具体的な設計によって定義される。

【 0 0 5 4 】外部割込み要求レジスタ (X I R R)

X I R Rは、アドレスBA + 0 およびBA + 4にある4バイト・レジスタである。アドレスBA + 0のX I R Rへのロード命令を発行すると、CPPRとXISRの内容が、副作用なしでプロセッサに送られる。これは、外部割込みをソフトウェア・ポーリングするための設計で

ある。アドレスBA + 4のX I R Rにロード命令を発行すると、下記の原子的な副作用がある。X I R Rの内容を返す前に、

・ そのBAがアクセスされているプロセッサへの割込み信号72が、図7の符号86で割込み経路指定層によって非活動化される。X I R Rの内容が要求元プロセッサに返されるのは、非活動化された割込み信号がそのプロセッサの内部割込み論理機構全体を伝播したことを保証するのに十分な時間が経過した後に限られる。X I R R

からのデータがプロセッサに送られた後に、

・ CPPR の内容が、XI SR で送られた割込みの優先順位にセットされる (XI SR が 0 の場合、CPPR フィールドは変更されない)

・ XI SR を、0 x 0 0 0 0 0 0 にリセットする。より高い優先順位を有する後続の割込み要求は、割込みを伝えられ、XI RR に提示されるようになる。

【 0 0 5 5 】システム・ソフトウェアが割込みの処理を開始する時、プロセッサは、割込みを禁止する、すなわち、後続の外部割込みをすべてマスクする。ソフトウェアは、この割込み処理シーケンスの間に、割込みを許可して後続の割込みを提示できるようにしなければならない。割込み経路指定層の割込み信号生成終了との競争を避けるために、割込みを可能にする前に BA + 4 の XI RR の内容がプロセッサに返されていることを保証するように注意を払う必要がある。このような競争は、未定義の結果を生ずる可能性がある。プロセッサが危険な命令を実行する可能性に対抗してデータが返されていることを保証する方法の 1 つが、コードのうちで XI RR 値データに依存する部分を、割込みを可能にするコードの

10

20

前に置くことである。XI RR 値を受け取ろうとするプロセッサ・レジスタを、それ自体と比較し、この比較の結果を使用して、次の命令の位置を分岐目標アドレスとする `branch-if-equal` 命令を実行する。

【 0 0 5 6 】このように XI RR のロードの際に CPPR

をセットすることによって、ソフトウェアが XI RR へのロード命令を発行した時点から CPPR への新値のストア命令が発行されるまで、これ以下の優先順位の外部割込みのすべてを拒絶するという効果が得られる。

【 0 0 5 7 】BA + 0 の XI RR 機構に対するストア命令の発行は、定義されていない (データは無視される) 。アドレス BA + 4 の XI RR に対するストアには、原子的な副作用があり、この副作用は、1 バイト・ストアと 4 バイト・ストアで異なる。ストア命令が 1 バイト・ストアの時、これは CPPR へのストアになる (CPPR レジスタの説明を参照) 。4 バイト長のストア命令が XI RR に発行される時、その XI SR へのストアに含まれるデータで示されるソース (ストアの時点で XI SR に示されているソースではない) に割込みリセットが送られる。XI SR へのストアに含まれるデータは、XI SR には書き込まれない (その後ロード命令を用いて読み取る場合にもこのデータは得られない) 。そうではなくて、このデータは、リセットするソースを割込み経路指定層に (プロセッサ間割込みと大域待ち行列割込み以外の割込みの場合には IOC にも) 示すのに使用される。このアドレスの XI SR へのストアを発行することによって、ソースが、そのストア命令に含まれるデータで示されたレベルの後続割込みを提示できるようになる。4 バイト・ストアの場合、バイト 0 が CPPR にストアされるが、システム・ソフトウェアは、この

30

40

50

CPPR のストアが前の CPPR 値以下の優先順位であることを保証する。というのは、この場合にハードウェアが二重リセットを処理する必要なくなるからである (二重リセットとは、これ以上の優先順位への CPPR 内の値の変更に関するリセットと、XI SR への書き込みに関するリセットである) 。

【 0 0 5 8 】割込み経路指定層のハードウェアが、高いレベルから低いレベルへの CPPR の変更の際の割込みを拒絶することを選択する場合、XI RR への 4 バイト・ストアの際に、割込み経路指定層のハードウェアが、下記の 2 つのうちのいずれかを行うことができる。

1 . 2 つの拒絶をソースに返す (1 つは CPPR 変更に関して、もう 1 つは XI SR 書き込みに関して)

2 . XI SR 書き込みに関する拒絶を送る (CPPR の書き込みは前の CPPR 値より低い優先順位でなければならないという事実を使用する。これはソフトウェアに対する要件である) 。

【 0 0 5 9 】本明細書に記載の割込み機構を、潜在的に異なるプロセッサを有する異なるシステムにわたって使用するためには、割込み経路指定層が、特定のプロセッサの割込み信号制約条件をすべて満足することを保証しなければならない。たとえば、プロセッサが割込み信号を内部的にラッチせず、そのプロセッサの割込み提示サイクル中に割込み信号が非活動化された場合に正しい動作を保証できない場合、割込み経路指定層は、割込み拒絶の結果としてではなく XI SR の読取りを用いてラッチをリセットする割込み信号を、外部でラッチしなければならない。

【 0 0 6 0 】割込みハンドラの終了時に、割込みハンドラの開始時に読み取った値を BA + 4 の XI RR に書き込むことによって、明示的な割込みの終了を IOC に発行することと、プロセッサの動作優先順位を割込み以前の値に戻すことの複合効果が得られる。

【 0 0 6 1 】ソフトウェアが割込みをポーリングしている時、そのソフトウェアは、割込みを受け取ると決定した後に、BA + 4 の XI RR へのロードを発行することによって、その割込みを受け取ることをハードウェアに伝えなければならない。その後、ソフトウェアは、BA + 0 で読み取った値と XI SR を比較して、この 2 回のロードの間にハードウェアが XI SR を変更していないことを確認しなければならない。

【 0 0 6 2 】現プロセッサ優先順位レジスタ (CPPR)

このレジスタは、1 バイト・レジスタであり、関連するプロセッサの現在の優先順位を格納するのに使用される。このレジスタは、アドレス BA + 0 と BA + 4 にある。CPPR (BA + 0 と BA + 4 のどちらでも) に 1 バイト・ロードを発行しても、副作用はない。CPPR は、XI RR レジスタ内の 1 フィールドである。各プロセッサが、それ自体の CPPR を有する。プロセッサの

21

状態が変化する時、ソフトウェアは、そのプロセッサのプロセス優先順位をCPPRに格納できる。割り込み経路指定層は、CPPR優先順位未満の優先順位である、あるプロセッサに対するすべての割り込みを拒絶する。したがって、CPPRを現在値に保つことで、外部割り込みがそれ以上の優先順位を有する処理に割り込めなくなる。

【0063】CPPRは、XIRR内の1フィールドであり、XIRRの一部として読み書きできる。CPPRの内容が変更される時、割り込み経路指定層は、最優先レベルの割り込みだけがプロセッサに伝えられ、XIRRに提示されることを保証する。これは、ハードウェア比較機構を使用して達成される。入ってくる割り込みの優先順位が現CPPR以下の場合、その割り込みが拒絶され、ソースに返される。CPPRへのストアの後に提示される最優先の割り込みをハードウェアが再計算（おそらくは割り込みの拒絶によって）することは、優先順位が下がる方向に変化する場合には許容可能であり、CPPRへのストアが待機割り込み以上の優先順位である場合には必須である。CPPRへのストアが原因で割り込みがXIRRから除去される時には、XISR内でそれに置換されるのを待っているより高い（新CPPR値より高い）優先順位の割り込みがない場合、割り込み提示ハードウェアが、X *

22

*XISRを0の値にセット（CPPRストアと共に原子的に）して、保留中の割り込みがないことを示し、そのプロセッサへの割り込み要求線を下げる。

【0064】外部割り込みソース・レジスタ（XISR）このレジスタは、3バイト・レジスタであり、割り込みのソースのアドレスが格納される。各プロセッサは、それ自体のXISRを有する。このレジスタは、アドレスBA+1とBA+5にある。しかし、このレジスタは、原子性のためXIRRの一部としてアクセスしなければならない。アドレスBA+0のXIRRへのロード命令を発行することによって、副作用なしにXISRの内容がプロセッサに返される。これは、外部割り込みのソフトウェア・ポーリングのための設計である。アドレスBA+4のXIRRへのロード命令を発行すると、XIRRの内容がプロセッサに返された後にXISRを原子的に0x000000にリセットするという副作用が生じる。その後、より高い優先順位の後続割り込み要求が生じると、割り込みが伝えられ、XIRRに提示される。

【0065】下の表3に示されるように、いくつかの値は、XISRレジスタ内で特別な意味を持つ。

【表3】

| 値 | 意 味 |
|--------------------------|---|
| 0x000000 | リセット：この値は、現在保留中の外部割り込みがないことを示す。XISRは、位置BA+4のXIRRからのロードの副作用としてこの値になる。 |
| 0x000001 | 初期電源断警告（EPOW）：この値は、EPOW割り込みが保留中であることを示す。 |
| 0x000002から最初のIOID値の1つ前まで | プロセッサ間割り込み（IP）：この値は、プロセッサ間割り込みが保留中であることを示す（下のMIRRの定義を参照）。MIRRごとに1つの値が割り振られる。MPシステムでは、各プロセッサが、XISR値が0x000002のMIRRを有する。システム構成ソフトウェアは、最低のIOIDのXISRにロードされる値が前に定義された最大のIOID値より大きくなるように、システム内の最初のIOIDをセットアップする。 |

XISRの特別な値

【0066】待機割り込み要求レジスタ（QIRR）待機割り込み要求レジスタは、4バイト・レジスタであり、その第1バイトが最優先要求レジスタ（MIRR）、ISSRが実装される場合には残りの下位3バイトがISSRである。ソフトウェアは、1バイトすなわちMIRRだけ、または4バイト全体のいずれかを書き

込むことができる。

【0067】最優先要求レジスタ（MIRR）

これは1バイト・レジスタである。このレジスタの内容は、システム・ソフトウェアによって制御され、特定のMIRRが関連するプロセッサまたはサーバのプロセッサ間（IP）割り込み待ち行列である待ち行列42および

4 3 上の最優先I P 割込みの優先順位を示す。あるプロセッサのMFRRが0 x f f の値にセットされている場合、そのプロセッサのI P 割込みの待ち行列4 2 および4 3 には項目が存在せず、ハードウェアは、そのプロセッサにI P 割込みを伝えない。システム・ソフトウェアは、あるプロセッサのI P 待ち行列である待ち行列4 2 または4 3 に何かを置く時に、このレジスタにI P 待ち行列上の最優先項目の優先順位をセットする。このレジスタは、0 x f f 以外の値である時に、割込み経路指定層によって、XI RRを介するプロセッサへの提示を求めて競争するもう1 つの割込み要求として扱われる。MFRR内の値が、そのプロセッサに向けられたすべての割込み要求のうちで最優先である時には、適当な値がXI SRに置かれ(XI SRの説明を参照)、割込みがプロセッサに伝えられる。他のすべての割込みソースと同様に、MFRR割込みは、割込みが経路指定層によって拒絶される時またはソフトウェアが割込みの終了を発行する時に割込み条件がリセットされていない場合に限って、再要求される。この割込み条件は、0 x f f 以外のMFRR値として受け取られる。したがって、MFRRが0 x f f 以外の値を有し、割込み経路指定層がその割込みの経路指定を開始したならば、割込み経路指定層は、MFRR内の値がその後に変化しても、そのために*

*割込み提示層に割込み要求を経路指定し直すことはしない。割込み経路指定層がMFRR割込み要求を再経路指定する唯一の方法は、割込みの拒絶または割込みリセットに起因するものである(MFRRが0 x f f の値を有しないと仮定する)。MFRRの値は、ソフトウェアのストア動作によってのみ変更される。各プロセッサは、少なくとも1 つのMFRRを有する。MPシステムには、1 つまたは複数の大域MFRRも存在する。特定のプロセッサのI P 割込み機構に関連するMFRRは、BA+1 2、BA+1 6 などのアドレスに置かれる。

【 0 0 6 8 】大域待機割込み要求レジスタ(G_QI RR)

大域待機割込み要求レジスタ7 3 は、4 バイト・レジスタであり、その第1 バイトは、1 つのMFRRである大域最優先要求レジスタ(G_MFRR)、残りの下位3 バイトはI SSRである。ソフトウェアは、1 バイトすなわちG_MFRRだけ、または4 バイト全体のいずれかを書き込むことができる。大域サーバの割込み管理区域の開始アドレスを、そのベース・アドレス(BA)と称する。大域サーバのBAは、それぞれ異なり、それぞれがセットアップ時に確立される。大域サーバ割込み管理区域の配置は、次のとおりである。

【 表4 】

| アドレス | バイト0 | バイト1 | バイト2 | バイト3 | コメント |
|-------|--------|------|------|------|----------------|
| BA+12 | G_MFRR | ISSR | | | MPシステムに必要なQIRR |
| BA+16 | G_MFRR | ISSR | | | 任意指定の第2QIRR |
| BA+20 | G_MFRR | ISSR | | | 任意指定の第3QIRR |
| ... | G_MFRR | ISSR | | | 任意指定の第nQIRR |

割込み管理区域：割込み提示層のレジスタ

【 0 0 6 9 】I SSR(割込みソース指定レジスタ)には、対応するMFRRに関連する割込みがプロセッサに伝えられる時にXI SRにロードされる値が含まれる。

【 0 0 7 0 】装置とコントローラの間での割込み信号生成

表5に、IBM社のPowerPC 601システム・バス用に設計された割込みパケット・フォーマットの詳細を示す。このシステム・バスは、参照により背景材料

として本明細書に組み込まれる "PowerPC 601 RISC Microprocessor User's Manual"、1992年に詳細に説明されている。同一のアドレス・ビット定義を、他のプロセッサを使用する他のデータ処理機に同様に使用できるはずである。転送タイプ・ビットは、601バスに固有であり、他のバス・アーキテクチャでは変更される可能性がある。

【 表5 】

| 動作 | 転送 タイプ | GBL | アドレス ビット 0-2 | アドレス ビット 3-11 | アドレス ビット 12-15 | アドレス ビット 16-12 | アドレス ビット 24-31 |
|-------------|-----------|-----|--|---------------------|----------------------|----------------------|------------------------------|
| 割込み 要求 | 10110 | 1 | 予約済み 省略時値B'000' 任意指定値は B'001' - 割込みの最初の提示 B'010' - 拒絶された割込みの再提示 | IOID | 割込み ソース | サーバ 番号 | 割込み 優先順位 |
| 割込み リセット | 10111 | 1 | 予約済み 省略時値B'000' 任意指定値は B'100' - XIRRへのストアによって引き 起こされた割込みリセット B'101' - CPPRへのストアに起因する 割込み拒絶 B'110' - XISR満杯に起因する割込み 拒絶 B'111' - 要求とCPPRの優先順位に起因 する割込み拒絶 | IOID | 割込み ソース | サーバ 番号 | 予約済み X'00'に セットさ れる |

【 0 0 7 1 】 転送タイプ・フィールドは、アドレス・バス上で発生している転送のタイプ、たとえば割込み要求や割込みリセットなどを識別するのに使用される。大域（GBL）ビットは、バス上のすべての装置がトランザクションを監視しなければならないことを示すのに使用され、割込みパケット転送のために必ずイネーブルされる。アドレス・ビット線は、4つのサブセットにグループ化される。アドレス・ビット0ないし2は、発生中の転送のうち特定のタイプのための追加情報を提供するの
40 に使用される。割込み要求動作の場合、アドレス・ビット0ないし2が、これがある割込みの最初の提示と後続の提示のどちらであるかを示し、したがって、この割込みが前に拒絶され、再提示されているかどうかを示す。割込みリセット動作の場合、アドレス・ビット0ないし2は、割込みリセットの原因を示す。アドレス・ビット3ないし11は、要求元I OCのシステム・アドレスまたは経路を示す。アドレス・ビット12ないし15は、

I OC内の16個までのソースのうちのどれがその要求を行ったかを識別する。アドレス・ビット16ないし23は、サーバ番号であり、割込みソースのXI VRレジスタから直接取り出される。サーバ・ビットは、各サーバによって、その特定のサーバに関してセットアップ時に構成レジスタに書き込まれたサーバ番号と比較される。要求パケット内のアドレス・ビット24ないし31には、その割込みの優先順位が含まれ、これも割込みソースのXI VRから取り出される。この優先順位ビットは、割込み要求が受け入れられるかどうかを判定するため、CPPR内の現在値と比較される。リセット・パケットのアドレス・ビット24ないし31は、予約済みであり、X'00'が格納される。

【 0 0 7 2 】 図8および図9に、このデータ処理割込みサブシステムのバス信号を示す。まず図8を参照すると、I OCは、割込み要求を有する時に、そのバス要求（BR）信号100を活動化することによって、中央バ

ス・アービトレータからアドレス・バスを要求する。アービトレータは、そのI OCへの対応するバス使用許可(BG)信号102を活動化することによってバスを使用許可する。その後、このI OCは、このアドレス・バスを介して割込み要求パケットを送る。これは、転送開始(TS)信号104、バス・アドレス信号110および転送タイプ(TT)信号108をあるレベル(表5に定義されたとおり)に駆動して、あるソースと優先順位の割込みが存在することを割込みコントローラに伝えることによって行われる。さらに、I OCがアドレス・バス・ビジー(ABB)信号106をローに駆動して、アドレス・バスが使用中であることを示す。割込みコントローラは、この情報を処理し、割込みをプロセッサに知らせる。多重処理システムでは、前に説明したように、割込みコントローラが割込み情報を適当なプロセッサに経路指定できる。バス・アービトレータが、アドレス肯定応答(AACK)信号をローに駆動して、そのトランザクションのアドレス部分が完了したことを示す。

【0073】次に図9を参照すると、プロセッサは、割込みの処理を終えた時に、リセット・パケットをI OCに送るように(前に説明したようにXIRRレジスタにストアすることによって)割込みコントローラに警告する。割込みコントローラは、そのバス要求(BR)信号100を活動化することによって、中央バス・アービトレータからアドレス・バスを要求する。アービトレータは、そのI OCへの対応するバス使用許可(BG)信号102を活動化することによってバスを使用許可する。I OCは、このアドレス・バスを介して割込みリセット・パケットを送る。これは、TS信号104、バス・アドレス信号110およびTT信号108をあるレベル(表5に定義されたとおり)に駆動して、割込みが処理されたことをI OCに伝えることによって行われる。さらに、I OCがアドレス・バス・ビジー(ABB)信号106をローに駆動して、アドレス・バスが使用中であることを示す。バス・アービトレータが、アドレス肯定応答(AACK)信号をローに駆動して、そのトランザクションのアドレス部分が完了したことを示す。

【0074】保有期間は、1つのアドレス転送と0サイクルから8サイクルまでの間のデータの転送からなる。通常は、アドレスごとに4サイクルのデータ転送があるので、データ・バスは、アドレス・バスより頻繁に使用される。アドレス・バスを介して割込み情報を送ることによって、使用頻度の高いデータ・バスではなく、利用度の低い資源であるアドレス・バスを使用することが可能になる。アドレス・バスを使用することのもう1つの長所は、好ましい実施例では、現在システム・バス上にあるすべてのI OCが、アドレス・バス全体を使用することである。しかし、I OCは、すべてがデータ・バス全体を使用するわけではない。アドレス・バス上を移動する割込みパケットは、システム内に既に存在するアド

レス線を、ピンやワイヤのコストなしで使用する。これは、複数の別個の割込み線を使用する従来の方法と大きく異なる。メモリ・マップ式入出力は、入出力に最も広く使用されている方法なので、割込みパケットを送るための方法としてこれを使用する。入出力の最も一般的な方法であり、当技術分野で既知の従来の技法を使用するので、このシステム・バス上のすべてのチップが、既にメモリ・マップ式入出力を行うための論理機構を有する。

【0075】好ましい実施例では、割込みパケット定義によって、512個のI OCのそれぞれから16個の割込みソースが許容される。割込み優先レベルは、256ある。各システムが、256個の割込みサーバを有することができる。このため、広範囲の計算機でこのパケット定義を使用できる。割込み要求パケットと割込みリセット・パケットの両方に、割込みパケット内の情報以上の情報を送る必要のあるシステムが使用することのできる予約ビットがある。したがって、このパケット定義によって、将来のシステムに対する拡張性がもたらされる。

【0076】以前のハードウェア配線式割込みシステムは、割込みに関する直接情報をほとんど提供しなかった。このバス・パケット方法では、割込みソース、I O I D、優先順位およびサーバ情報を、すべて同時に同一の場所で提供する。これによって、システムの柔軟性に加えて、システム割込みのデバッグがはるかに簡単になる。割込みリセット・パケットの予約済みアドレス・ビット0ないし2に情報を入れて、どの種類の割込みリセットが送られているのかをI OCに伝えることができる。

【0077】256個の可能な割込みサーバが、この割込みパケット定義で許容される。これは、システム内で割込みを受け取るプロセッサが256個まで存在できることを意味する。このパケット定義を用いると、異なるプロセッサに割込みを簡単に経路指定できる。さらに、256個の可能な割込みサーバは、システムごとに定義でき、1システム内で256個までの割込みコントローラが許容される。前に説明したように、割込みコントローラのそれぞれが1つのプロセッサだけにサービスするか、あるいは一群のサーバが各プロセッサにサービスできる。

【0078】まとめとして、本発明の構成に関して以下の事項を開示する。

【0079】(1)アドレス部分とデータ部分とを有するバスを含むデータ処理システムにおいて、前記アドレス部分を使用して、装置と割込みサービス機構との間で割込み情報を転送するステップを含む、割込み情報を転送するための方法。

(2)前記装置が、割込みの生成を引き起こすことを特徴とする、上記(1)の方法。

(3) 前記装置が、前記割込み情報の前記割込みサービス機構への転送を引き起こすことを特徴とする、上記(1)の方法。

(4) 前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、上記(3)の方法。

(5) 前記割込みサービス機構が、前記割込み情報の前記装置への転送を引き起こすことを特徴とする、上記(1)の方法。

(6) 前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、上記(5)の方法。

(7) 装置からサービス機構へ、割込み情報を含む第1割込みパケットを転送するステップと、前記サービス機構から前記装置へ、割込み情報を含む第2割込みパケットを転送するステップとを含む、データ処理システム内での割込み情報の双方向転送の方法。

(8) 前記装置が、割込みの生成を引き起こすことを特徴とする、上記(7)の方法。

(9) 前記装置が、前記第1割込みパケットの前記割込みサービス機構への転送を引き起こすことを特徴とする、上記(7)の方法。

(1 0) 前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、上記(9)の方法。

(1 1) 前記割込みサービス機構が、前記第2割込みパケットの前記装置への転送を引き起こすことを特徴とする、上記(7)の方法。

(1 2) 前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、上記(1 1)の方法。

(1 3) 装置によって割込み要求を開始するステップと、前記装置に関する割込み情報を含む割込みパケットを生成するステップと、データ処理システムのアドレス・バスを介して割込みコントローラに前記割込みパケットを送るステップとを含む、データ処理システム内で割込みを処理するための方法。

(1 4) 装置と、機能的に前記装置に結合された割込みサービス機構と、前記装置と前記割込みサービス機構との間で割込み情報を転送するためバスのアドレス部分を40 使用する手段とを含む、前記アドレス部分とデータ部分とを含む前記バスを有するデータ処理システム内で割込み情報を転送するためのシステム。

(1 5) 前記装置が、割込みの生成を引き起こすことを特徴とする、上記(1 4)のシステム。

(1 6) 前記装置が、前記割込み情報の前記割込みサービス機構への転送を引き起こすことを特徴とする、上記(1 4)のシステム。

(1 7) 前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、上記

(1 6) のシステム。

(1 8) 前記割込みサービス機構が、前記割込み情報の前記装置への転送を引き起こすことを特徴とする、上記(1 4)のシステム。

(1 9) 前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、上記(1 8)のシステム。

(2 0) 装置からサービス機構へ、割込み情報を含む第1割込みパケットを転送する手段と、前記サービス機構から前記装置へ、割込み情報を含む第2割込みパケットを転送する手段とを含む、データ処理システム内での割込み情報の両方向転送のシステム。

(2 1) 前記装置が、前記第1割込みパケットの前記割込みサービス機構への転送を引き起こすことを特徴とする、上記(2 0)のシステム。

(2 2) 前記割込み情報が、前記割込みサービス機構に割込み要求コマンドを伝えることを特徴とする、上記(2 1)のシステム。

(2 3) 前記割込みサービス機構が、前記第2割込みパケットの前記装置への転送を引き起こすことを特徴とする、上記(2 0)のシステム。

(2 4) 前記割込み情報が、前記装置に割込みリセット・コマンドを伝えることを特徴とする、上記(2 3)のシステム。

(2 5) 装置によって割込み要求を開始する手段と、前記装置に関する割込み情報を含む割込みパケットを生成する手段と、データ処理システムのアドレス・バスを介して割込みコントローラに前記割込みパケットを送る手段とを含む、データ処理システム内で割込みを処理するためのシステム。

(2 6) 前記割込み情報が、割込み要求コマンドを含むことを特徴とする、上記(2 5)のシステム。

(2 7) 前記アドレス・バスを介して前記装置に、第2割込みパケットを送るための手段をさらに含む、上記(2 5)のシステム。

(2 8) 前記第2割込みパケットが、割込みリセット・コマンドを含むことを特徴とする、上記(2 7)のシステム。

【発明の効果】

【 0 0 8 0 】割込みは、アドレス・バスを介して転送されるので、他の割込みや他のシステム動作と共にシーケンス化される。これによって、システム・レベルで割込みを観察しやすくなり、割込みがシステムに対してより非同期でなくなるので、デバッグの間に有用である。たとえば、アドレス・バス上に提示される割込みを検出するために、システム・バスを監視できる。アドレス・パケットは、順序付けされる(すなわち、オーバーラップせず、同時に提示されることもない)ので、どの処置が呼び出されたか、もしくはどの処置が後続の処置の原因となったかの判定が簡単である。

31

【 0081 】 割込み情報は、プレーナ上の配線ではなく割込み packets 内のさまざまなフィールドで定義されるので、この割込みシステムは、プログラム可能性が非常に高い。割込み優先順位、サーバ番号、割込みソースおよび入出力コントローラ I D は、この packets 構造を使用することによってすべてプログラム可能である。したがって、この割込み構造は、ハードウェア配線式システムの割込み構造より柔軟である。

【 図面の簡単な説明】

【 図1 】 データ処理システムのブロック図である。

【 図2 】 割込みコントローラを介するデータ・プロセッサへの装置インターフェースのブロック図である。

【 図3 】 ソフトウェア待ち行列へインターフェースする論理サーバの構成要素を示す図である。

【 図4 】 割込みコントローラの内部構造を示す図である。

【 図5 】 ハードウェア待ち行列とソフトウェア待ち行列の構造を示す図である。

【 図6 】 入出力コントローラ、割込み経路指定層および割込み提示層を含む、割込みサブシステム全体の流れ図である。

【 図7 】 入出力コントローラ、割込み経路指定層および割込み提示層を含む、割込みサブシステム全体の流れ図である。

32

【 図8 】 割込み要求に関するバス・タイミング図である。

【 図9 】 割込みリセットに関するバス・タイミング図である。

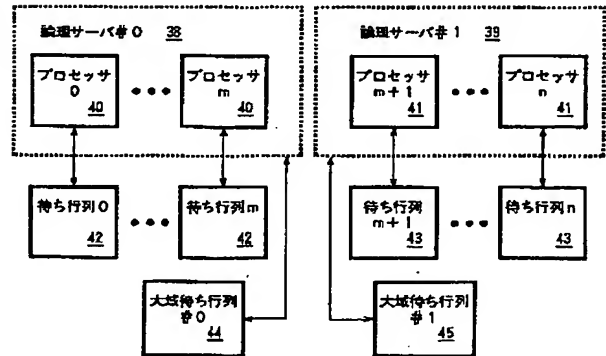
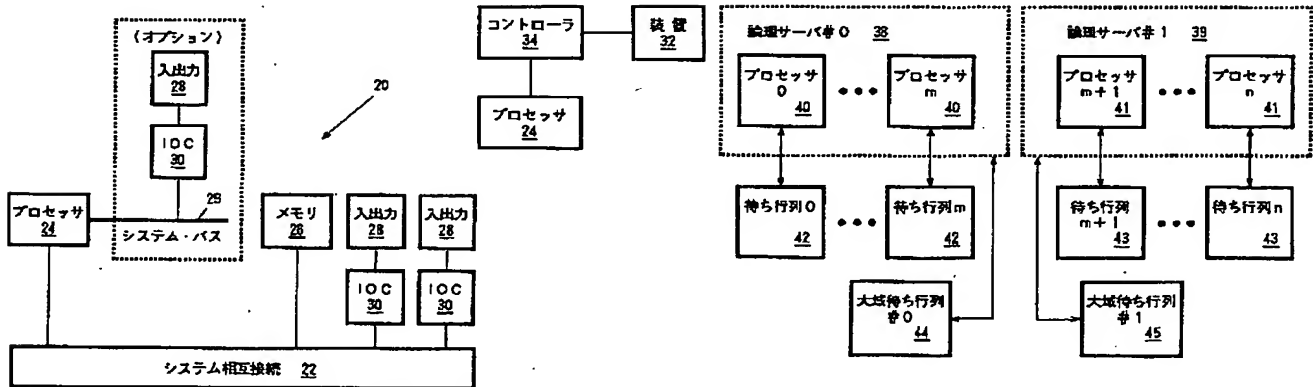
【 符号の説明】

- 40 プロセッサ
- 41 プロセッサ
- 42 待ち行列
- 43 待ち行列
- 44 大域待ち行列
- 45 大域待ち行列
- 50 割込み提示層
- 52 割込み経路指定層
- 60 外部割込み要求レジスタ (X I R R)
- 61 待機割込み要求レジスタ (Q I R R)
- 70 外部割込みベクトル・レジスタ (X I V R)
- 73 大域待機割込み要求レジスタ (G _ Q I R R)
- 100 バス要求 (B R) 信号
- 102 バス使用許可 (B G) 信号
- 104 転送開始 (T S) 信号
- 106 アドレス・バス・ビジー (A B B) 信号
- 108 転送タイプ (T T) 信号
- 110 バス・アドレス信号

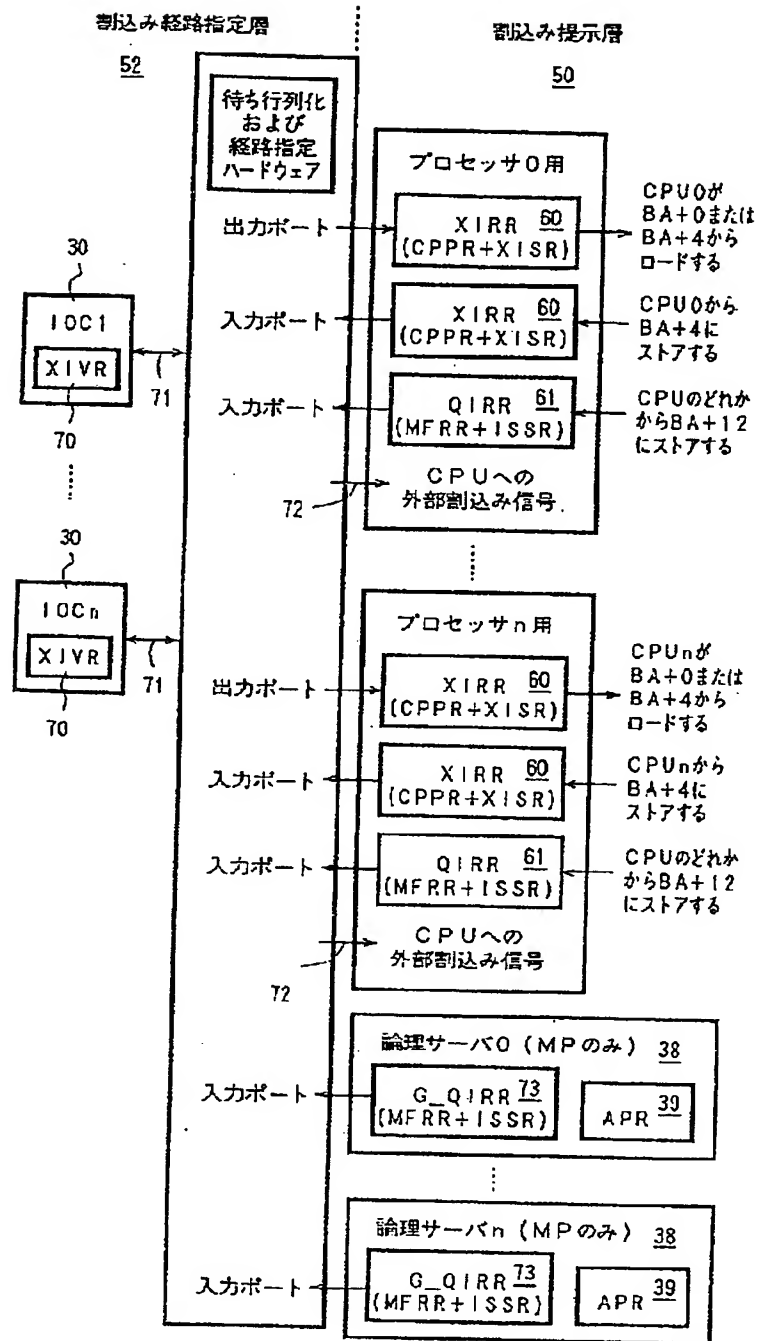
【 図1 】

【 図2 】

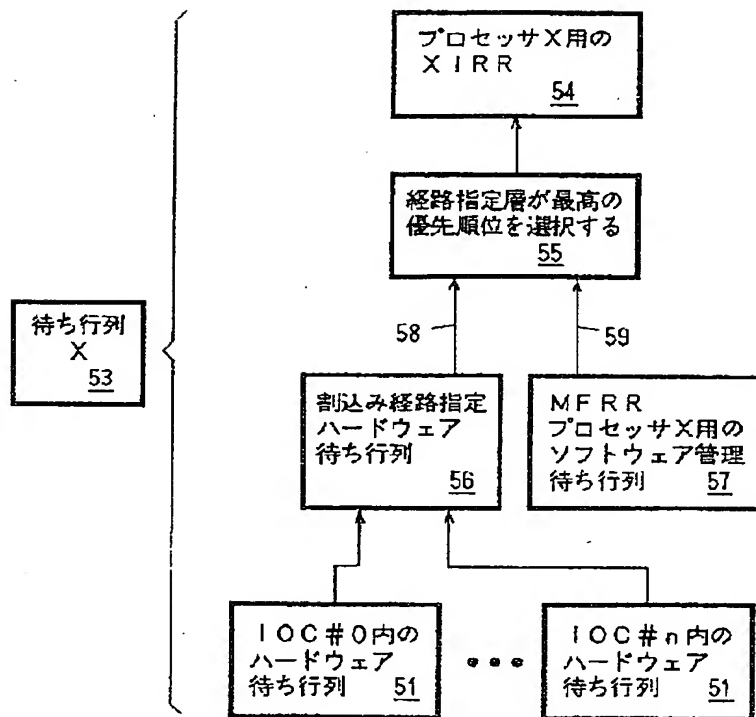
【 図3 】



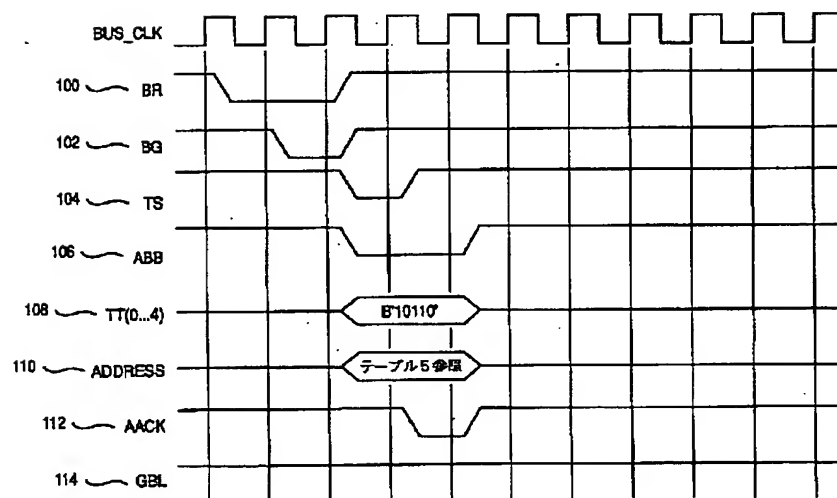
【 図4 】



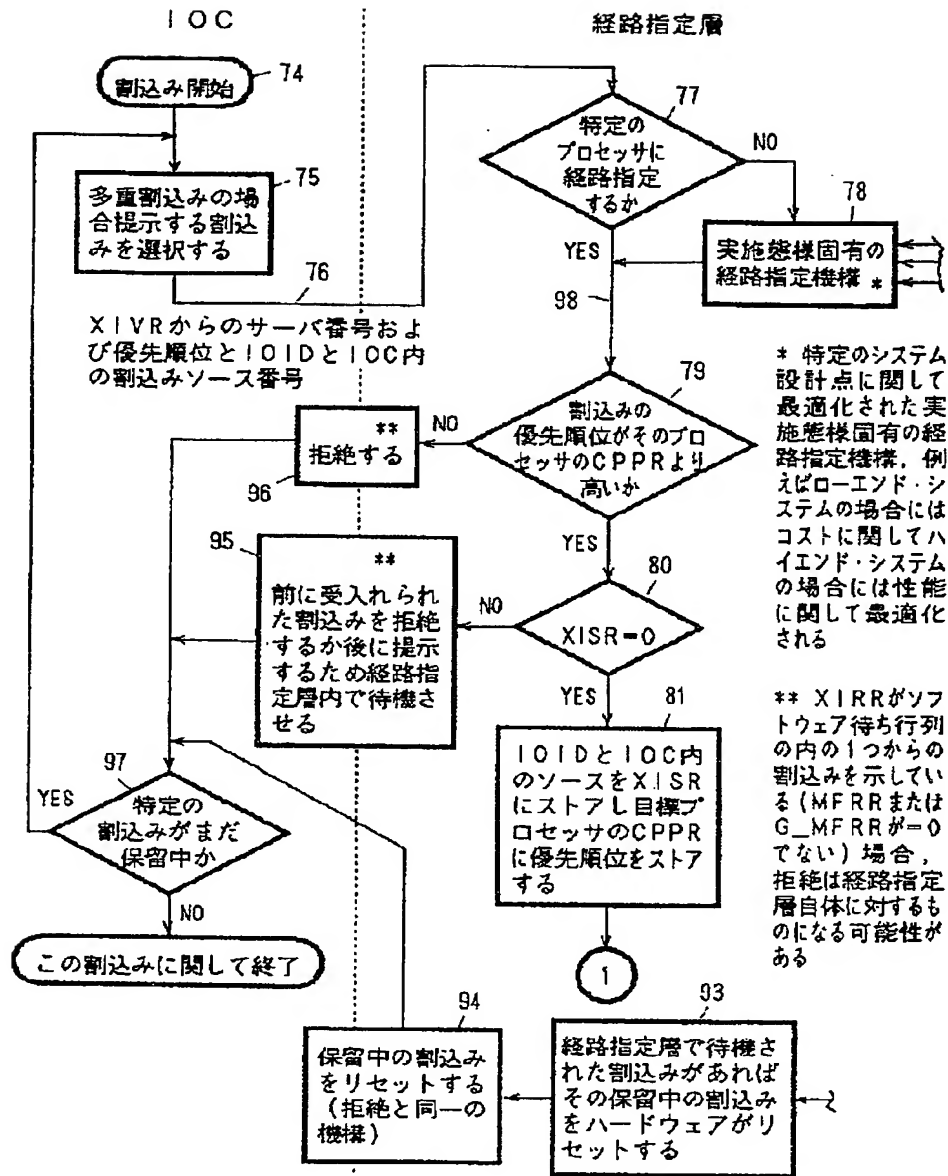
【 図5 】



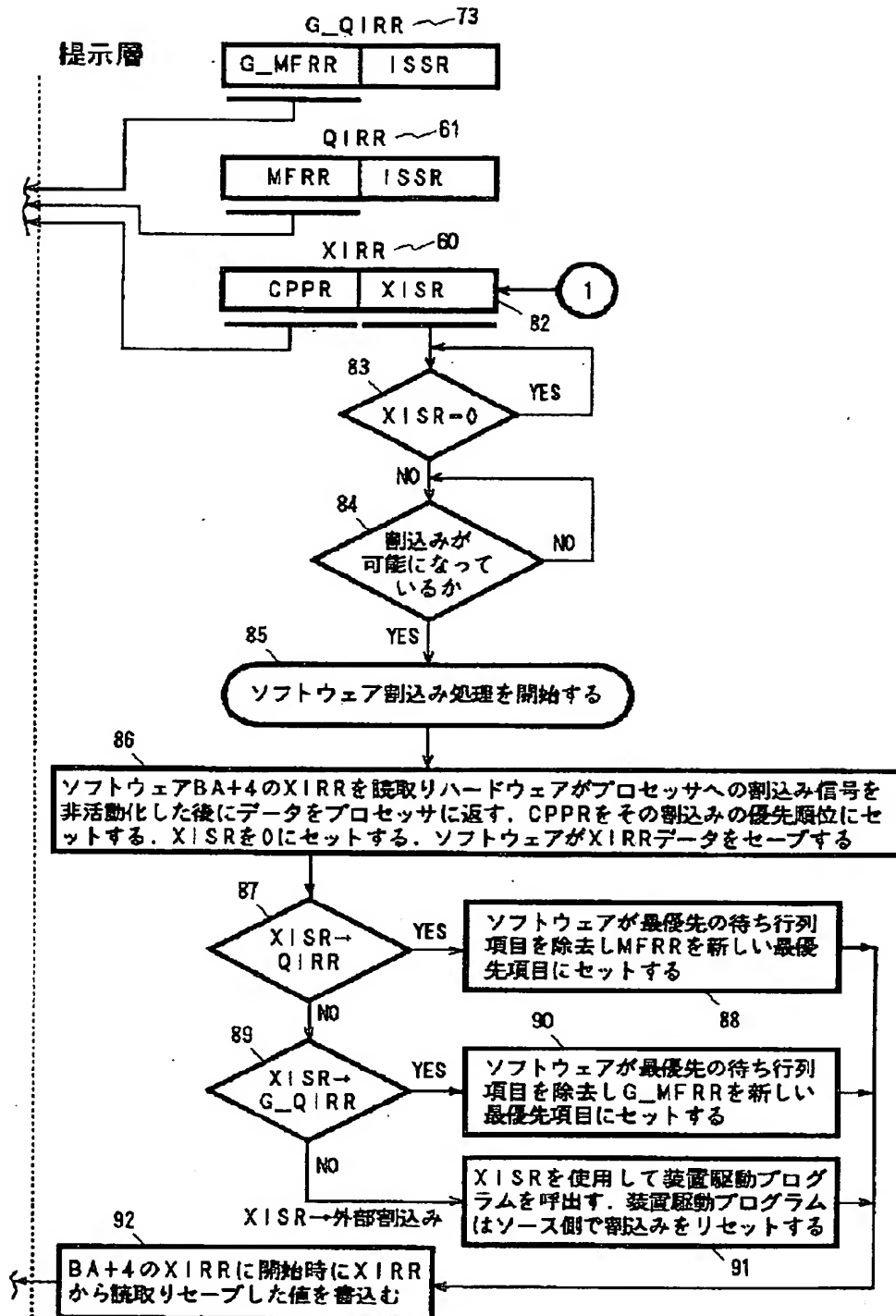
【 図8 】



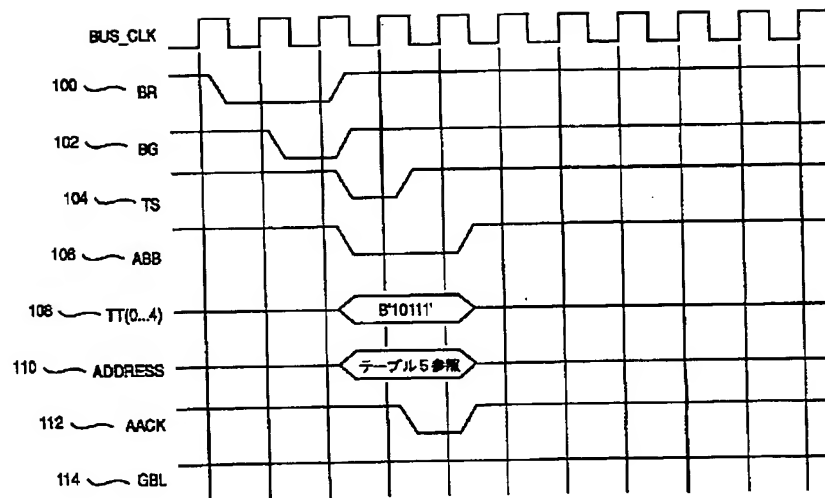
【 図6 】



【 図7 】



【 図9 】



フロント ページの続き

(72)発明者 ウィリアム・ブレント・チャンドラー
 アメリカ合衆国78660 テキサス州フルゲ
 ルヴィレ クリエフ・クロス・ドライブ
 900

(72)発明者 ジョージ・ウィリアム・ダリー・ジュニア
 アメリカ合衆国78750 テキサス州オース
 チン ウェスターカーク・ドライブ 8901